

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3352941号
(P3352941)

(45)発行日 平成14年12月3日(2002.12.3)

(24)登録日 平成14年9月20日(2002.9.20)

(51)Int.Cl.⁷

識別記号

F I

H 0 1 L 21/331
29/732

H 0 1 L 29/72

S

請求項の数6(全20頁)

(21)出願番号 特願平10-110528

(22)出願日 平成10年4月21日(1998.4.21)

(65)公開番号 特開平11-307540

(43)公開日 平成11年11月5日(1999.11.5)

審査請求日 平成13年6月4日(2001.6.4)

(73)特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 吉 野 千 博

神奈川県川崎市幸区小向東芝町1 株式

会社東芝 研究開発センター内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

審査官 萩原 周治

最終頁に続く

(54)【発明の名称】 半導体装置

1

(57)【特許請求の範囲】

【請求項1】半導体基板の素子領域上に形成されたベース層と、

前記ベース層の表面領域上に開孔を有しながら前記ベース層上に形成された絶縁膜と、

前記開孔を埋込みながら前記絶縁膜上に形成されたエミッタ電極と、

を備え、前記開孔周囲における前記ベース層と前記エミッタ電極の間の前記エミッタ電極下のみには前記絶縁膜が単一の層として介在され、前記素子領域は素子分離絶縁膜によって分離されており、前記ベース層は前記素子分離絶縁膜上まで延在しており、前記ベース層は素子領域上では単結晶シリコンから構成されかつ前記素子分離絶縁膜上では多結晶シリコンから構成されていることを特徴とする半導体装置。

2

【請求項2】前記エミッタ電極下の領域を除いた前記ベース層の領域は、前記エミッタ電極下の前記ベース層の領域よりも不純物濃度が高いことを特徴とする請求項1記載の半導体装置。

【請求項3】前記エミッタ電極は多結晶シリコンから構成されていることを特徴とする請求項1乃至2のいずれかに記載の半導体装置。

【請求項4】前記エミッタ電極は単結晶シリコンから構成されていることを特徴とする請求項1乃至2のいずれかに記載の半導体装置。

【請求項5】前記エミッタ電極は前記ベース層の外側まで延在し、かつ前記ベース層の外側で配線とのコンタクトが取られていることを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】前記エミッタ電極下の領域を除く前記ベー

10

ト孔が開孔されている。これらのコンタクト孔を埋込むように金属からなる金属電極98a、98b、98cが形成されている。

【0010】次に上記従来のバイポーラトランジスタの製造方法を図12を参照して説明する。

【0011】まず図12(a)に示すようにシリコン基板81にトレンチを形成し、このトレンチを絶縁膜83で埋込むことにより素子分離を行い、素子領域82を形成する。次に第1導電型(例えばp型)の不純物を導入しながらエピタキシャル成長を行うことにより、素子領域82上にはベース層となる単結晶シリコン層(ベースエピタキシャル層ともいう)84を形成するとともに、素子分離絶縁膜83上には多結晶シリコン層84aを形成する(図12(b)参照)。続いて基板表面に例えばSiO₂、さらなる酸化膜を堆積し、パターンニングすることにより、エッチングストップ膜85を形成する(図12(b)参照)。

【0012】次に基板全面に多結晶シリコン膜を堆積し、続いてこの多結晶シリコン膜に第1導電型の不純物を注入した後、この多結晶シリコン膜、および多結晶シリコン層84aの一部を異方性エッチング（例えばR1E（Reactive Ion-Etching））によって除去し、多結晶シリコンからなるベース引出し電極86を形成する（図12（c）参照）。

【0013】次に基板全面に酸化膜87を堆積し、エミッタが形成される領域上の酸化膜87およびベース引出し電極86を異方性エッチングを用いて除去し、底面にエッチングストップ膜85が露出する開孔88を形成する(図12(d)参照)。

【0014】次に、基板全面に窒化膜を堆積し、RIE等の異方性エッチングを用いてエッチングを行うことにより開孔88の側面に窒化物からなる側壁膜89を形成する(図12(e)参照)。続いて異方性エッチングを用いて開孔88の底面に露出しているエッチングストップ膜85を除去し、エポキシシャル層84を露出させる(図12(f)参照)。

【0015】次にこうして形成されたエミッタ開孔、および開孔88を埋込むように基板全面に多結晶シリコン膜90を堆積し、この多結晶シリコン膜に第2導電型（例えばn型）の不純物を注入した後、熱処理することにより、エピタキシャル層84の表面領域に上記不純物を拡散させエミッタ領域92を形成する（図12（f）参照）。続いて多結晶シリコン膜90をパターニングすることによりエミッタ電極90を形成する（図12（f）参照）。

【0016】次にエミッタ電極90をマスクにして異方性エッチングを用いて酸化膜87を除去する(図12(g)参照)。このときエミッタ電極90下の酸化膜87は除去されない。この除去されない酸化膜87と側壁膜89とからスペーサ膜93が構成される(図12

(g)参照)。

【0017】次に基板全面に高融点金属(例えばTi)をスパッタ法を用いて堆積し、熱処理することにより、ベース引出し電極86およびエミッタ電極90上にシリサイド層94を形成する(図12(h)参照)。これによりベース引出し電極86およびエミッタ電極90は低抵抗化される。

【0018】次に図12(i)に示すように基板全面に層間絶縁膜96を堆積し、この層間絶縁膜96に、ベース引出し電極86およびエミッタ電極90とのコンタクトを取るためのコンタクト孔を各々開孔する。そしてこれらのコンタクト孔を埋込むように基板全面に金属膜を堆積し、この金属膜をパターニングすることにより、金属電極98a、98bを形成し、バイポーラトランジスタを完成する(図12(i)参照)。

【0019】

【発明が解決しようとする課題】近年、バイポーラトランジスタの高速化、低消費電力化が求められており、このためエミッタと真性ベースの領域の微細化が進んでいる。しかし微細化を進めていくと、バイポーラの本質的なところではなく、バイポーラトランジスタの動作には不要な寄生的な領域の割合が増大していく。このためベース抵抗、エミッタ抵抗、等の寄生抵抗、ベース・コレクタ間容量等の寄生容量が、真性領域の抵抗、容量に比べて大きくなり、高速化、低消費電力化の妨げになっている。

【0020】上述の従来のバイポーラトランジスタにおいては、エッチングストッパ膜85の幅は、側壁89の厚さと開孔88の合わせ余裕の分だけ余計に広くなる必要がある。このため図13に示すようにエッチングストッパ膜85下のエピタキシャル層84の部分99が広がってベース抵抗が著しく増大し、高速化、低消費電力化の妨げとなるという問題があった。

【0021】また、微細化を進めてエミッタ領域92の幅寸法を小さくしていった場合、開孔88のアスペクト比(開孔の深さと幅との比)が大きくなるため、ベースエピタキシャル層84と接するエミッタ電極90の部分の不純物濃度が、他の部分よりも薄くなることから、このためエミッタ幅によって電流利得が変化するという問題があった。

【0022】本発明は上記事情を考慮してなされたものであって、微細化してもエミッタ幅によって電流利得が変化するのを可及的に防止することのできる半導体装置およびその製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明による半導体装置は、半導体基板の素子領域上に形成されたベース層と、前記ベース層の表面領域上に開孔を有しながら前記ベース層上に形成された絶縁膜と、前記開孔を埋込みながら前記絶縁膜上に形成されたエミッタ電極と、を備え、前

記開孔周囲における前記ベース層と前記エミッタ電極の間には前記絶縁膜が単一の層として介在されたことを特徴とする。

【0024】なお、前記素子領域は素子分離絶縁膜によって分離されており、前記ベース層は前記素子分離絶縁膜上まで延在しており、前記ベース層は素子領域上では単結晶シリコンから構成されかつ前記素子分離絶縁膜上では多結晶シリコンから構成されているようにしても良い。

【0025】なお、前記エミッタ電極下の領域を除いた前記ベース層の領域は、前記エミッタ電極下の前記ベース層の領域よりも不純物濃度が高いことが好ましい。

【0026】なお、前記エミッタ電極は多結晶シリコンから構成されていても良い。

【0027】なお、前記エミッタ電極は単結晶シリコンから構成されていても良い。

【0028】なお、前記エミッタ電極は前記ベース層の外側まで延在し、かつ前記ベース層の外側に配線とのコンタクトが取られているように構成しても良い。

【0029】なお、前記エミッタ電極下の領域を除く前記ベース層の表面および前記エミッタ電極の表面にシリサイド層が形成されているように構成しても良い。

【0030】また本発明による半導体装置の製造方法は、半導体基板に素子分離を行い、素子分離絶縁膜によって囲まれて表面が露出した素子領域を形成する工程と、前記素子領域を含む領域上に第1導電型のベース層をエピタキシャル成長させる工程と、前記素子領域上にエミッタ開孔を有する絶縁膜を前記ベース層上に形成する工程と、前記エミッタ開孔を埋込むように前記絶縁膜上に第2導電型のエミッタ電極を形成する工程と、少なくとも前記エミッタ電極と自己整合的に前記絶縁膜をパターニングする工程と、を備えていることを特徴とする。

【0031】なお、前記エミッタ電極は、第2導電型の不純物を含む多結晶シリコン膜から構成され、前記多結晶シリコン膜を熱処理することにより前記ベース層の表面領域にエミッタ領域を形成する工程を更に有しているように構成しても良い。

【0032】なお、前記エミッタ電極は、前記第2導電型の不純物を導入しながら前記エミッタ開孔から単結晶シリコン膜をエピタキシャル成長させてなるものであるように構成しても良い。

【0033】なお、前記素子領域上に、エミッタ開孔を有する絶縁膜を前記ベース層上に形成する工程は、前記ベース層を覆う第1の絶縁膜を形成する工程と、前記素子領域上に第1の開孔を有する第2の絶縁膜を前記第1の絶縁膜上に形成する工程と、前記第1の開孔の側面に側壁膜を形成する工程と前記側壁膜をマスクにして異方性エッチングを行うことにより前記第1の開孔の底部の前記第1の絶縁膜を除去し、前記第1の絶縁膜にエミッタ

開孔となる第2の開孔を形成する工程と、前記側壁膜および前記第2の絶縁膜を除去する工程と、を有しているように構成してもよい。

【0034】また本発明による半導体装置の製造方法は、半導体基板に、素子分離絶縁膜によって素子分離された第1乃至第3の半導体領域を形成する工程と、前記第3の半導体領域上にゲート絶縁膜を形成した後、このゲート絶縁膜上に多結晶シリコンからなる第1の層を形成する工程と、第1導電型の不純物を導入しながらエピタキシャル成長を行い、前記第1および第2の半導体領域上では単結晶シリコンからなり、前記第1および第2の半導体領域以外の領域で多結晶シリコンからなる第2の層を形成する工程と、前記第2の層上に絶縁膜を形成した後、この絶縁膜と、前記第1および第2の層とをパターンニングすることにより前記第1の半導体領域上にはベース層を、前記第2の半導体領域上にはコレクタ電極を、前記第3の半導体領域上にはゲート電極を形成する工程と、前記ベース層上の前記絶縁膜に、前記ベース層の表面が露出する開孔を形成する工程と、前記開孔を埋込むように前記絶縁膜上に第2導電型のエミッタ電極を形成する工程と、少なくとも前記ゲート電極をマスクとして前記第3の半導体領域に不純物をイオン注入することにより不純物領域を形成する工程と、を備えていることを特徴とする。

【0035】なお、前記エミッタ電極をマスクとして前記エミッタ電極下の領域を除く前記ベース層上の前記絶縁膜および前記コレクタ電極上の絶縁膜を除去する工程と、前記ベース層、前記コレクタ電極、および前記エミッタ電極上に各々高融点金属シリサイド層を形成する工程と、を更に備えているように構成しても良い。

【0036】また本発明による半導体装置の製造方法は、半導体基板に、素子分離絶縁膜によって素子分離された第1乃至第3の半導体領域を形成する工程と、前記第3の半導体領域上にゲート絶縁膜を形成した後、第1導電型の不純物を導入しながらエピタキシャル成長を行い、前記第1および第2の半導体領域上では単結晶シリコンからなり、前記第1および第2の半導体領域以外の領域で多結晶シリコンからなる第1の層を形成する工程と、前記第1の半導体領域上に開孔を有する第1の絶縁膜、および前記第2の半導体領域を覆う第2の絶縁膜を各々前記第1の層上に形成する工程と、前記開孔を埋込むように基板全面に多結晶シリコン膜を堆積した後、この多結晶シリコン膜および前記第1の層をパターンニングすることにより、前記第1の半導体領域上にエミッタ電極およびベース層を、前記第2の半導体領域上にコレクタ電極を、前記第3の半導体領域上にゲート電極を形成する工程と、前記エミッタ電極を熱処理することにより前記ベース層の表面領域にエミッタ領域を形成する工程と、少なくとも前記ゲート電極をマスクとして前記第3の半導体領域に不純物をイオン注入することにより不純

物領域を形成する工程と、を備えていることを特徴とする。

【0037】なお、前記第1の層を形成する前に前記ゲート絶縁膜上に多結晶シリコンからなる層を形成する工程を更に備え、前記ゲート電極を形成する際に前記多結晶シリコンからなる層も同時にパターンニングされるように構成しても良い。

【0038】また本発明による半導体装置の製造方法は、半導体基板に、素子分離絶縁膜によって素子分離された第1乃至第3の半導体領域を形成する工程と、前記第3の半導体領域上にゲート絶縁膜を形成した後、第1導電型の不純物を導入しながらエピタキシャル成長を行い、前記第1および第2の半導体領域上では単結晶シリコンからなり、前記第1および第2の半導体領域以外の領域で多結晶シリコンからなる第1の層を形成する工程と、前記第1の層上に絶縁膜を形成した後、この絶縁膜および前記第1の層をパターンニングすることにより、前記第1の半導体領域上にベース層を、前記第2の半導体領域上にコレクタ電極を形成する工程と、前記ベース層上の絶縁膜に開孔を形成した後、この開孔を埋込むように基板全面に多結晶シリコン膜を堆積する工程と、前記多結晶シリコン膜をパターンニングすることにより前記ベース層上にエミッタ電極を形成するとともに前記第3の半導体領域上にゲート電極を形成する工程と、前記エミッタ電極を熱処理することにより前記ベース層の表面領域にエミッタ領域を形成する工程と、少なくとも前記ゲート電極をマスクとして前記第3の半導体領域に不純物をイオン注入することにより不純物領域を形成する工程と、を備えていることを特徴とする。

【0039】なお、前記ゲート電極およびエミッタ電極の側面に絶縁物からなる側壁を形成した後、これらの側壁をマスクとして異方性エッチングを行うことにより、少なくとも前記第3の半導体領域上のゲート絶縁膜、並びに前記ベース層およびコレクタ電極上の絶縁膜を除去する工程と、前記ベース層、前記コレクタ電極、前記エミッタ電極、前記ゲート電極、および前記不純物領域上に各々高融点金属シリサイド層を形成する工程と、を更に備えているように構成しても良い。

【0040】

【発明の実施の形態】本発明による半導体装置の第1の実施の形態の構成を図1に示す。この第1の実施の形態の半導体装置はバイポーラトランジスタであって、シリコン基板（例えばn型）2にトレンチ素子分離絶縁膜4によって素子分離された素子領域3が形成されている。この素子領域3上では第1導電型（例えばp型）の単結晶シリコンからなり素子分離絶縁膜4上では第1導電型の多結晶シリコン6aからなるベース層6が形成されている。

【0041】このベース層6の単結晶シリコンからなる領域の表面領域に第2導電型（例えばn型）のエミッタ

領域14が形成されている。そしてこのエミッタ領域14上では、エミッタ開孔を有する単一の層からなる絶縁膜8がベース層6の単結晶シリコン領域上に形成されている。またエミッタ領域14と電気的に接続される、第2導電型の不純物が導入された多結晶シリコンからなるエミッタ電極12が、上記エミッタ開孔を埋込むように形成されている。なお絶縁膜8とエミッタ電極12の外縁は一致する構成となっている。

【0042】これらのエミッタ電極12およびベース層6は層間絶縁膜18によって覆われている。そしてこの層間絶縁膜18にはエミッタ電極12およびベース層6とのコンタクトを取るためのコンタクト孔が各々開孔され、これらのコンタクト孔を埋込むように金属からなる金属電極19aが形成されている。なお図1においてはベース層6とのコンタクト孔および金属電極は表示していない。またやはり図1では図示されていないが、図1に示されるベース形成領域の領域外には、従来のバイポーラトランジスタと同様コレクタ形成領域が固定され、コレクタエピタキシャル層およびコレクタ引出し用の金属電極が形成されている。

【0043】なお、この第1の実施の形態においては、ベース層6の抵抗を低くするために、ベース層6の、エミッタ電極12下の領域以外の領域の不純物濃度は、エミッタ電極12下の領域の不純物濃度より高くなるように形成されている。

【0044】上述のように構成された本実施の形態のバイポーラトランジスタにおいては、従来のバイポーラトランジスタと異なり、エミッタ電極12下の絶縁膜8は単一の層からなっており、かつベース層6を覆うようなベース引出し電極8b（図11参照）が形成されていない。すなわち、従来のバイポーラトランジスタで必要であったエッチングストップ膜85（図11参照）、酸化膜87（図12参照）およびエミッタ開孔内のスペーサ膜93（図11参照）が不要となり、絶縁膜8下の、ベース層6の高抵抗となる領域を従来の場合に比べて小さくすることが可能となる。これによりベース抵抗を低くすることが可能となるため、従来の場合に比べて高速化および低消費電力化を達成することができるとともに雑音特性を向上することができる。

【0045】また、上述したようにエッチングストップ膜85および酸化膜87が無い場合、バイポーラトランジスタを微細化しても従来の場合に比べてエミッタ領域上の開孔のアスペクト比を小さくすることが可能となる。これにより、エミッタ幅によって電流利得が変化するのを可及的に防止することができる。

【0046】次に本発明による半導体装置の第2の実施の形態の構成を図2に示す。この第2の実施の形態の半導体装置はバイポーラトランジスタであって、図1に示す第1の実施の形態のバイポーラトランジスタにおい

て、ベース層6の、エミッタ電極12下の領域を除いた

領域の表面およびエミッタ電極12の表面に高融点金属シリサイド層17が形成された構成となっている。

【0047】このため、この第2の実施の形態のバイポーラトランジスタにおいては、第1の実施の形態のバイポーラトランジスタに比べてベース抵抗およびエミッタ抵抗が低くなり、更に高速化および低消費電力化を達成することができるとともに雑音特性を更に向上させることができる。なお、エミッタ幅によって電流利得が変化するのを可及的に防止することができることは言うまでもない。

【0048】次に本発明による半導体装置の第3の実施の形態の構成を図3に示す。この第3の実施の形態の半導体装置はバイポーラトランジスタであって、図2に示す第2の実施の形態のバイポーラトランジスタにおいて、多結晶シリコンからなるエミッタ電極12を単結晶シリコンからなるエミッタ電極13に置換えたものである。単結晶シリコンは多結晶シリコンに比べて抵抗値が低いので、第3の実施の形態においては、第2の実施の形態に比べてエミッタ抵抗を低くすることが可能となり、より高速化および低消費電力化を達成することができるとともに雑音特性を一層向上させることができる。なお、エミッタ幅によって電流利得が変化するのを可及的に防止することができることは言うまでもない。

【0049】次に本発明による半導体装置の第4の実施の形態を図4を参照して説明する。この第4の実施の形態の半導体装置はバイポーラトランジスタであって、その上面図を図4(a)に示し、切断線X-Xで切断したときの断面図を図4(b)に示す。この第4の実施の形態のバイポーラトランジスタは、図2に示す第2の実施の形態のバイポーラトランジスタにおいて、エミッタ電極12と金属配線19aとのコンタクト21を、ベース層6の外側に形成した構成となっている。このため、エミッタ電極12の幅寸法を第2の実施の形態に比べてより小さくすることが可能となり、微細化に適した構造となる。

【0050】なおこの第4の実施の形態も第2の実施の形態と同様の効果を奏することは言うまでもない。

【0051】次に本発明の第5の実施の形態を図5を参照して説明する。この第5の実施の形態は、図2に示す第2の実施の形態のバイポーラトランジスタを製造する製造方法であって、この製造方法の工程断面図を図5に示す。

【0052】まず図5(a)に示すように、シリコン基板2にトレンチを形成し、このトレンチを絶縁膜4で埋込むことにより素子分離を行い、素子領域3を形成する。次に第1導電型（例えばp型）の不純物を導入しながらエピタキシャル成長を行うことにより、ベース層6を形成する（図5(b)参照）。このとき、素子領域3上には単結晶シリコンが成長し、素子分離領域4上には多結晶シリコンが成長する。したがってベース層6は素

子領域3上では単結晶シリコン層からなり、素子分離領域4上では多結晶シリコン層6aからなる構成となっている。(図5(b)参照)。その後、異方性エッチングを用いてベース層6をパターンニングし、適切な大きさにする(図5(b)参照)。

【0053】次に、表面全面に例えばSiO₂からなる絶縁膜8を堆積した後、フォトリソグラフィ技術と異方性エッチングを用いることによりエミッタ形成予定領域上にエミッタ開孔9を形成する(図5(c)参照)。

【0054】次に上記開孔9を埋込むように基板全面に多結晶シリコン膜を堆積した後、第2導電型(例えばn型)の不純物を上記多結晶シリコン膜にイオン注入する。続いて熱処理を施すことにより上記多結晶シリコン膜から不純物をベース層6に拡散させ、ベース層6の表面領域にエミッタ領域14を形成する(図5(d)参照)。その後、上記多結晶シリコン膜上にフォトリソ resist を塗布し、露光、現像処理することによりレジストパターン15を形成する。そしてこのレジストパターン15をマスクにして異方性エッチングを用いて上記多結晶シリコン膜をパターンニングすることにより、エミッタ電極12を形成する(図5(d)参照)。

【0055】次に上記レジストパターン15をマスクにして、絶縁膜8を異方性エッチングを用いて除去することによりベース層6の表面を露出させる(図5(e)参照)。続いて上記レジストパターン15をマスクにしてベース層6に第1導電型の不純物をイオン注入することによりベース層6を低抵抗化する(図5(e)参照)。

【0056】次に上記レジストパターン15を除去した後、高融点金属(例えばTi)からなる膜をスパッタリング法により基板全面に形成し、熱処理することにより多結晶シリコンからなるベース層6およびエミッタ電極12の表面の高融点金属膜を高融点金属シリサイド層に変える。そして未反応の高融点金属を除去することによりベース層6およびエミッタ電極12の表面にのみ高融点金属シリサイド層17が形成される(図5(f)参照)。

【0057】次に基板全面に層間絶縁膜18を堆積し、リソグラフィ技術を用いて上記層間絶縁膜18にベース層6およびエミッタ電極12などとのコンタクトを取るためのコンタクト孔を各々開孔する(図5(g)参照)。そして上記コンタクト孔を埋込むように金属膜を堆積し、この金属膜をパターンニングすることにより金属電極19a、19bを形成してバイポーラトランジスタを完成する(図5(g)参照)。

【0058】この第5の実施の形態の製造方法によって製造されたバイポーラトランジスタは第2の実施の形態のバイポーラトランジスタと同一の構成となるため、第2の実施の形態と同一の効果を奏することとなる。

【0059】また、この第5の実施の形態の製造方法においては、図12に示す従来の製造方法で必要であったエッチングストップ膜85の形成工程、酸化膜87の堆

積工程、スペーサ膜93の成形工程、およびベース引出し電極86の形成工程が不要となるため、従来の製造方法に比べて大幅に工程数を減らすことが可能となる。また、上記第5の実施の形態の製造方法において、高融点金属シリサイド膜の形成工程を省略すれば、図1に示す第1の実施の形態のバイポーラトランジスタを得ることができる。

【0060】次に本発明の第6の実施の形態を図6を参照して説明する。この第6の実施の形態はバイポーラトランジスタの製造方法であって、その製造工程を図6に示す。この第6の実施の形態の製造方法においては、絶縁膜8にエミッタ開孔9を形成するまでは図5に示す第5の実施の形態の製造方法と同様の工程によって行う(図6(a)、(b)、(c)参照)。

【0061】次にベース層6とは異なる導電型(第2導電型)の不純物を導入しながら多結晶シリコンを上記エミッタ開孔9から選択的に成長させエミッタ電極12を形成する(図6(d)参照)。エミッタ電極12の幅方向の寸法の制御は上記多結晶シリコンの膜厚を調整することにより容易に行うことができる。

【0062】続いて熱処理を施すことによりベース層6の表面領域にエミッタ電極12から不純物を拡散させ、エミッタ領域14を形成する(図6(d)参照)。

【0063】次にエミッタ電極12をマスクにして異方性エッチングを用いることにより絶縁膜8を除去し、ベース層6の表面を露出させる(図6(e)参照)。続いてベース層6に第1導電型の不純物を注入することにより低抵抗化する(図6(e)参照)。

【0064】その後は図5(f)、(g)に示す第5の実施の形態の製造方法と同様の工程を行い、バイポーラトランジスタを完成する(図6(f)、(g)参照)。

【0065】この第6の実施の形態の製造方法によって製造されたバイポーラトランジスタは図2に示す第2の実施の形態のバイポーラトランジスタと同一の構成となるため、第2の実施の形態と同一の効果を奏することとなる。

【0066】またこの第6の実施の形態の製造方法は、第5の実施の形態の製造方法に比べてエミッタ電極12をパターンニングするためのレジストパターン15の形成が不要となるため、さらに工程数を減らすことができる。

【0067】次に本発明の第7の実施の形態を図7を参照して説明する。この第7の実施の形態はバイポーラトランジスタの製造方法であって、この製造方法の工程断面図を図7に示す。

【0068】まず図7(a)に示すように、シリコン基板2にトレンチを形成し、このトレンチを絶縁膜4で埋込むことにより素子分離を行い、素子領域3を形成する。

【0069】次に第1導電型(例えばp型)の不純物を

導入しながらエピタキシャル成長を行うことにより、ベース層6を形成する(図7(b)参照)。このとき、素子領域3上には単結晶シリコンが成長し、素子分離領域4上には多結晶シリコン6aが成長する。続いて基板全面に例えばSiO₂からなる絶縁膜8を堆積する(図7(b)参照)。

【0070】次にフォトリソグラフィ技術と異方性エッチングを用いて絶縁膜8をパターンニングすることにより、ベース層6の外側の絶縁膜8を除去するとともにエミッタ形成領域上にエミッタ開孔9を形成する。(図7(c)参照)。そして、基板全面に多結晶シリコン膜12を堆積した後、第2導電型(例えばn型)の不純物をイオン注入し、熱処理を施すことによりベース層6の表面領域にエミッタ領域14を形成する(図7(c)参照)。

【0071】次にフォトリソグラフィ技術と異方性エッチングを用いて多結晶シリコン膜12およびベース層6の多結晶シリコン部をパターンニングし、エミッタ電極12を形成する(図7(d)参照)。

【0072】次にエミッタ電極12をマスクにして絶縁膜8に異方性エッチングを行うことによりベース層6の表面を露出させる(図7(e)参照)。続いてベース層6に第1導電型の不純物をイオン注入することにより低抵抗化する。

【0073】以降は第5の実施の形態の図5(f)、図5(g)に示す工程と同一の工程を行ってバイポーラトランジスタを完成させる(図7(f)、(g)参照)。

【0074】この第7の実施の形態の製造方法によって製造されるバイポーラトランジスタは第2の実施の形態のバイポーラトランジスタと同一の構成となるため、第2の実施の形態と同様の効果を奏することは言うまでもない。

【0075】またこの第7の実施の形態の製造方法においては、ベース層6のパターン領域とエミッタ開孔9の開孔域を同一のリソグラフィ工程で決定できるため、第5の実施の形態の製造方法に比べて工程数を一回少なくすることができる。

【0076】次に本発明の第8の実施の形態を図8および図9を参照して説明する。この第8の実施の形態は、図3に示す第3の実施の形態のバイポーラトランジスタを製造する製造方法であって、その工程断面図を図8および図9に示す。

【0077】まず図8(a)に示すようにシリコン基板2にトレンチを形成し、このトレンチを絶縁膜4で埋込むことにより素子分離を行い、素子領域3を形成する。

【0078】次に第1導電型(例えばp型)の不純物を導入しながらエピタキシャル成長を行うことによりベース層6を形成する。このとき素子領域3上に単結晶シリコンが成長し、素子分離絶縁膜4上では多結晶シリコン6aが成長する。その後、ベース層6をリソグラフィ技

術および異方性エッチングを用いてパターンニングする(図8(b)参照)。

【0079】次に基板全面に窒化膜32および酸化膜34を順次堆積した後、リソグラフィ技術および異方性エッチングを用いて、酸化膜34に対し素子領域3上に開孔35を設ける(図8(c)参照)。続いて基板全面に酸化膜を堆積した後、異方性エッチングを行うことにより、上記開孔内に上記酸化膜からなる側壁膜36を形成する(図8(d)参照)。そしてこの側壁膜36をマスクにして異方性エッチングを行うことにより、開孔35の底部の露出している窒化膜32を除去し、窒化膜32にエミッタ開孔37を形成する(図8(d)参照)。

【0080】次にウェットエッチングを用いて酸化膜34および側壁膜36を除去する(図8(e)参照)。続いて、第2の導電型(例えばn型)の不純物を導入しながら、選択的にエピタキシャル成長を行い、エミッタ開孔37から単結晶シリコンを成長させ、エミッタ電極38を形成する(図9(a)参照)。続いて熱処理することにより、ベース層6の表面領域にエミッタ領域40を形成する(図9(a)参照)。なおここでは、単結晶シリコンからなるエミッタ電極38を形成しているため、ベース層6の表面領域へのエミッタ領域40の形成は特に必要なく、省略することも可能である。

【0081】次にエミッタ電極38をマスクにしてベース層6上の窒化膜32を異方性エッチングすることにより、ベース層6の表面を露出する(図9(b)参照)。続いてエミッタ電極38をマスクにしてベース層6に第1導電型の不純物をイオン注入し、ベース層6を低抵抗化する。

【0082】次に基板全面に高融点金属(例えばTi)の膜を堆積し、熱処理することにより、ベース層6およびエミッタ電極38上の高融点金属膜をシリサイド層に変化させる。その後、未反応の高融点金属を除去し、ベース層6およびエミッタ電極38上に高融点金属シリサイド層41を形成する(図9(c)参照)。

【0083】次に層間絶縁膜42を堆積した後、この層間絶縁膜42にベース層6およびエミッタ電極38などへのコンタクト孔を形成する。そしてこのコンタクト孔を金属で埋込むように堆積した後、パターンニングすることにより金属電極43a、43bを形成し、バイポーラトランジスタを完成する(図9(d)参照)。

【0084】この第8の実施の形態の製造方法によって製造されたバイポーラトランジスタは第3の実施の形態のバイポーラトランジスタと同一の構成となるため、第3の実施の形態と同様の効果を奏することとなる。

【0085】また、この第8の実施の形態の製造方法においては、図12に示す従来の製造方法で必要であった、エッチングストップ膜85の形成工程およびベース引出し電極86の形成工程が不要となるため、従来の製造工程に比べて工程数を減らすことが可能となる。

15

【0086】次に本発明の第9の実施の形態を図10を参照して説明する。この第9の実施の形態はバイポーラトランジスタの製造方法であって、その工程断面図を図10に示す。

【0087】まず図10(a)に示すようにシリコン基板2にトレンチを形成し、このトレンチを絶縁膜4で埋込むことにより素子分離を行い、素子領域3を形成する。

【0088】次に第1導電型（例えばp型）の不純物を導入しながらエピタキシャル成長を行うことによりベース層6を形成する（図10(b)参照）。このとき素子領域3上に単結晶シリコンが成長し、素子分離絶縁膜4上では多結晶シリコン6aが成長する。続いて基板全面に酸化膜51および窒化膜52を順次堆積する（図10(b)参照）。

【0089】次にリソグラフィ技術および異方性エッチングを用いて窒化膜52をパターンニングすることにより開孔53を形成する（図10(c)参照）。このときベース層6の外側となる領域上の窒化膜52も除去する。

【0090】次に基板全面に窒化膜を堆積し、この窒化膜を異方性エッチングすることにより、開孔53の側面および窒化膜52の側面に側壁膜54を形成する（図10(d)参照）。続いて上記側壁膜54をマスクにして酸化膜51を異方性エッチングすることにより酸化膜51にエミッタ開孔55を形成する。

【0091】次にウェットエッチングを用いて窒化膜53および側壁膜54を除去する（図10(e)参照）。続いて、エミッタ開孔55を埋込むように多結晶シリコンを選択的に堆積し、この堆積された多結晶シリコン層に第2の導電型（例えばn型）の不純物をイオン注入する。その後、熱処理することにより上記多結晶シリコン層から上記不純物をベース層6に拡散させ、エミッタ領域58を形成する（図10(f)参照）。続いて上記多結晶シリコン層をフォトリソグラフィ技術を用いて異方性エッチングすることによりエミッタ電極57を形成する（図10(f)参照）。このとき同時にベース層6もパターンニングする。

【0092】次にエミッタ電極57をマスクにして異方性エッチングを行うことによりベース層6上の酸化膜51を除去した後、ベース層6に第1導電型の不純物をイオン注入し、低抵抗化する（図10(g)参照）。続いて基板全面に高融点金属（例えばTi）の膜を堆積し、熱処理することにより、ベース層6およびエミッタ電極57上の高融点金属膜をシリサイド層に変化させる。その後、未反応の高融点金属を除去し、ベース層6およびエミッタ電極57上の高融点金属シリサイド層59を形成する（図10(g)参照）。

【0093】次に層間絶縁膜61を堆積し、コンタクト孔を開孔し、このコンタクト孔を金属膜で埋込み、この金属膜をパターンニングすることにより、金属電極63を

16

形成してバイポーラトランジスタを完成する（図10(h)参照）。

【0094】なお、この第9の実施の形態によって製造されたバイポーラトランジスタにおいては、エミッタ電極57はベース層6の外側まで延在するように形成され、エミッタ電極57へのコンタクト孔と、このコンタクト孔に設けられる金属電極はベース層6の外側部分に形成される。

【0095】この第9の実施の形態の製造方法によって製造されたバイポーラトランジスタにおいては、従来のバイポーラトランジスタと異なり、ベース層6を覆うようなベース引出し電極86（図11参照）を形成する必要がない。このため、従来のバイポーラトランジスタで必要であったエッチングストップパッド85、酸化膜87およびスペーサ膜93（図11、図12参照）も不要となり、絶縁膜51下の、ベース層6の高抵抗な領域を従来の場合に比べて小さくすることが可能となる。これによりベース抵抗を低くすることが可能となるため、従来の場合に比べて高速化および低消費電力化を達成することができる。

【0096】また、上述したようにエッチングストップパッド85および酸化膜87が無い場合、バイポーラトランジスタを微細化しても、従来の場合に比べてエミッタ領域上の開孔のアスペクト比を小さくすることが可能となる。これにより、エミッタ幅によって電流利得が変化するのを可及的に防止することができる。

【0097】また、この第9の実施の形態の製造方法においては、ベース層6とエミッタ電極57を同時にパターンニングしているため、フォトリソグラフィ工程を従来の場合に比べて1回省略することができる。

【0098】次に本発明の第10の実施の形態を図14および図15を参照して説明する。この実施の形態はバイポーラトランジスタとMOSトランジスタが同一基板上に形成される半導体装置の製造方法であって、その工程断面図を図14および図15に示す。

【0099】まず図14(a)に示すように、p型のシリコン基板100のバイポーラトランジスタ形成領域にn⁺型の埋め込領域101aを形成した後、エピタキシャル成長によってシリコン基板100の表面にn⁺層101bを形成する。続いてシリコン基板100のnチャネルMOSトランジスタ形成領域にpウェル101cを形成する。その後、シリコン基板100に浅いトレンチと深いトレンチを形成し、これらのトレンチを絶縁膜102で埋込むことにより素子分離を行い、素子領域103a、103b、103cを形成する（図14(a)参照）。領域103a、103bはバイポーラトランジスタの素子領域となり、領域103cはMOSトランジスタの素子領域となる。続いてこれらの素子領域103a、103b、103c上にシリコン酸化膜105を形成する。

50

【0100】次に基板全面に多結晶シリコン膜107を堆積する。そして、素子領域103cを覆うフォトレジストパターン（図示せず）を、上記多結晶シリコン膜107上に形成した後、このフォトレジストパターンをマスクにしてバイポーラトランジスタ形成領域上の多結晶シリコン膜107およびシリコン酸化膜105を除去する（図14（b）参照）。このときMOSトランジスタ形成領域上にはのみシリコン酸化膜105および多結晶シリコン膜107が残る。

【0101】次に上記フォトレジストパターンを除去した後、図14（c）に示すように、p型の不純物（例えばボロン）を導入しながらエピタキシャル成長を行うことにより、素子領域103a、103b上には単結晶シリコン層109aを形成するとともに、素子分離絶縁膜102上および多結晶シリコン膜107上には多結晶シリコン層109bを形成する。その後、素子領域103bにn型の不純物を注入し、n⁺型領域101dにする（図14（c）参照）。

【0102】次に、図14（d）に示すように基板全面に絶縁膜111を堆積する。続いて、この絶縁膜111上にフォトレジストパターン（図示せず）を形成し、このフォトレジストパターンをマスクにして異方性エッチングを用いて上記絶縁膜111、多結晶シリコン層109bおよび多結晶シリコン膜107をパターンニングすることにより、素子領域103a上にはベース層113を、素子領域103b上にはコレクタ電極115を、素子領域103c上にはゲート電極116を各々形成する（図14（d）参照）。なお、このときベース層113は素子分離絶縁膜102上に延在している。その後、上記フォトレジストパターンを除去し、熱酸化処理を行うことにより、ゲート電極116の側面に酸化膜117を形成する（図14（d）参照）。

【0103】次にフォトリソグラフィ技術と異方性エッチングを用いてベース層113上の絶縁膜111に、エミッタを形成するための開孔119を形成する（図14（e）参照）。

【0104】次に上記開孔119を埋込むように基板全面に多結晶シリコン膜を堆積した後、この多結晶シリコン膜上にフォトレジストパターン（図示せず）を形成する。そしてこのフォトレジストパターンをマスクにして上記多結晶シリコン膜を、異方性エッチングを用いてパターンニングすることにより、エミッタ電極120を形成する（図15（a）参照）。このとき、ゲート電極116の側部に多結晶シリコン膜からなる側壁120aが形成される。続いて上記フォトレジストパターンを除去した後、バイポーラトランジスタ形成領域を覆うフォトレジストパターン（図示せず）を形成し、n型不純物（例えばAs）を所定の加速電圧、所定のドーズ量でイオン注入することにより、MOSトランジスタ形成領域に高濃度のソース・ドレイン領域122を形成する（図15

（a）参照）。

【0105】次に図15（b）に示すように、ゲート電極116の側部の多結晶シリコンからなる側壁120aを、等方性エッチングを用いて除去した後、n型不純物（例えばAs）をイオン注入することにより、MOSトランジスタ形成領域に低濃度のソース・ドレイン領域123を形成する。続いて上記フォトレジストパターンを除去した後、MOSトランジスタ形成領域を覆うフォトレジストパターン（図示せず）を形成し、このフォトレジストパターンをマスクにしてn型不純物（例えばAs）をイオン注入することによりエミッタ電極120にn型不純物を添加する。その後、上記フォトレジストパターンを除去した後、熱処理を行うことにより、n型不純物をベース層113（ベース電極113ともいう）の表面領域に拡散させ、エミッタ領域125を形成する（図15（b）参照）。

【0106】次にMOSトランジスタ形成領域を覆うフォトレジストパターン（図示せず）を形成した後、異方性エッチングを用いてベース電極113上およびコレクタ電極115上の絶縁膜111を除去する。続いて高融点金属、例えばTiをスパッタ法を用いて堆積し、熱処理し、未反応の高融点金属を除去することにより、ベース電極113、コレクタ電極115、およびエミッタ電極120上に各々高融点金属シリサイド層127を形成する（図15（c）参照）。なお、未反応の高融点金属シリサイドを除去する際上記フォトレジストパターンも除去される。

【0107】次に図15（d）に示すように基板全面に層間絶縁膜130を堆積した後、ベース電極113、コレクタ電極115、エミッタ電極120、およびソース・ドレイン領域122などとのコンタクトを取るためのコンタクト孔を各々開孔する。そしてこれらのコンタクト孔を埋込むように金属膜を堆積し、この金属膜をパターンニングすることにより金属電極132を形成し、半導体装置を完成する（図15（d）参照）。

【0108】以上説明したように第10の実施の形態によれば、従来のバイポーラトランジスタと異なり、ベース層（ベース電極113）を覆うようなベース引出し電極86（図11参照）を形成する必要がない。このため、従来のバイポーラトランジスタで必要であったエッチングストップ層85（図11参照）、酸化膜87（図12参照）およびスペーサ層93（図11参照）も不要となり、絶縁膜111下の、ベース層113の高抵抗となる領域を従来の場合に比べて小さくすることが可能となる。これにより、ベース抵抗を低くすることが可能となるため、従来の場合に比べて高速化および低消費電力化を達成することができるとともに雑音特性を向上することができる。

【0109】また、上述したようにエッチングストップ層85および絶縁膜87が無い場合、バイポーラトラン

10

20

30

40

50

19

ジスタを微細化しても従来の場合に比べてエミッタ領域上の開孔（エミッタ開孔）119のアスペクト比を小さくすることが可能となる。これにより、エミッタ幅によって電流利得が変化するのを可及的に防止することができる。

【0110】また、バイポーラトランジスタとMOSトランジスタが同一基板上に形成された従来の半導体装置の製造方法においては、バイポーラトランジスタとMOSトランジスタとを各々別々の工程で作成していたため、工程数が多くなるという問題があった。しかし本実施の形態のように、ベース層113とゲート電極116を構成する層109bが非選択エピタキシャル成長によって同時に形成され、かつベース層113とゲート電極116のパターニングが同一工程で行われるため、工程数を従来の場合に比べて少なくすることができる。

【0111】次に本発明の第11の実施の形態を図16および図17を参照して説明する。この実施の形態はバイポーラトランジスタとMOSトランジスタが同一基板上に形成される半導体装置の製造方法であって、その工程断面図を図16および図17に示す。

【0112】まず図16(a)に示すように、p型のシリコン基板100のバイポーラトランジスタ形成領域にn⁺型の埋め込領域101aを形成した後、エピタキシャル成長によってシリコン基板100の表面にn⁺層101bを形成する。続いてシリコン基板100のnチャネルMOSトランジスタ形成領域にpウェル101cを形成する。その後、シリコン基板100に残ったトレンチと深いトレンチを形成し、これらのトレンチを絶縁膜102で埋込むことにより素子分離を行い、素子領域103a、103b、103cを形成する（図16(a)参照）。素子領域103a、103bはバイポーラトランジスタの素子領域となり、素子領域103cはMOSトランジスタの素子領域となる。続いてこれらの素子領域103a、103b、103c上にシリコン酸化膜105を形成する（図16(a)参照）。

【0113】次にバイポーラトランジスタ形成領域上のシリコン酸化膜105を除去する。続いてp型の不純物（例えばボロン）を同時に導入しながらエピタキシャル成長を行うことにより素子領域103a、103b上に単結晶シリコン層109aを形成するとともに、その他の領域には多結晶シリコン層109bを形成する（図16(b)参照）。その後、素子領域103bにn型の不純物を注入し、n⁺型領域101dにする（図16(b)参照）。

【0114】次に図16(c)に示すように基板全面に絶縁膜111を堆積し、この絶縁膜111をパターニングすることにより、ベース層形成領域およびコレクタ電極形成領域上のみ絶縁膜111を残置する。このときベース層形成領域上の絶縁膜111にはエミッタ開孔119が形成される（図16(c)参照）。

29

【0115】次に上記エミッタ開孔119を埋込むように基板全面に多結晶シリコン膜121を堆積する（図16(d)参照）。続いてこの多結晶シリコン膜121上にフォトリソパターン（図示せず）を形成し、このフォトリソパターンをマスクにした異方性エッチングを用いることにより多結晶シリコン膜121および多結晶シリコン膜109bをパターニングして、エミッタ電極121aとゲート電極116を同時に形成する（図16(e)参照）。このとき、ベース層形成領域およびコレクタ電極形成領域上の絶縁膜111がマスクとなり、バイポーラトランジスタ形成領域上の多結晶シリコン膜109bもパターニングされ、ベース層113およびコレクタ電極115も同時に形成される（図16(e)参照）。

【0116】次にMOSトランジスタ形成領域をフォトリソ（図示せず）でマスクした後、エミッタ電極121aにn型不純物（例えばAs）を所定のイオン注入条件でイオン注入する。そして上記フォトリソを除去した後、熱処理することにより、n型不純物をエミッタ電極121aからベース層113の表面領域に拡散させ、エミッタ領域125を形成する（図16(f)参照）。その後、n型不純物（例えばAs）を所定の条件でイオン注入することによりMOSトランジスタ形成領域に低濃度のソース・ドレイン領域123を形成する（図16(f)参照）。

【0117】次に基板全面に窒化膜を堆積した後、異方性エッチングを行うことにより、ゲート電極116の側部に窒化膜からなる側壁135を形成する（図17(a)参照）。このときエミッタ電極121aの側部にも窒化膜からなる側壁135が形成される（図17(a)参照）。続いてバイポーラトランジスタ形成領域をフォトリソでマスクした後、n型不純物（例えばAs）を所定の条件でイオン注入することにより、MOSトランジスタ形成領域に高濃度のソース・ドレイン領域122を形成する（図17(a)参照）。

【0118】次に上記フォトリソを除去した後、図17(b)に示すように異方性エッチングを行うことにより、ベース層113およびコレクタ電極115上の絶縁膜111を除去するとともに、ソース・ドレイン領域122上のシリコン酸化膜105を除去する。続いて基板全面に高融点金属、例えばTiをスパッタ法を用いて堆積した後、熱処理することにより、多結晶シリコンまたは単結晶シリコンと高融点金属を反応させる。そして未反応の高融点金属を除去することにより、ベース層（ベース電極ともいう）113、コレクタ電極115、エミッタ電極121a、ゲート電極116、およびソース・ドレイン領域122上に各々高融点金属シリサイド層127を形成する（図17(b)参照）。

【0119】次に図17(c)に示すように基板全面に層間絶縁膜130を堆積した後、ベース電極113、コ

59

21

レクタ電極115、エミッタ電極121a、およびソース・ドレイン領域122などのコンタクトを取るためのコンタクト孔を各々開孔する。そしてこれらのコンタクト孔を埋込むように金膜膜を堆積し、この金膜膜をパターンニングすることにより、金属電極132を形成し、半導体装置を完成する(図17(c)参照)。

【0120】以上説明したように第11の実施の形態によれば、従来のバイポーラトランジスタと異なり、ベース層(ベース電極113)を覆うようなベース引出し電極86(図11参照)を形成する必要がない。このため、従来のバイポーラトランジスタで必要であったエッチングストップパッド85(図11参照)、酸化膜87(図12参照)およびスペーサ膜93(図11参照)も不要となり、バイポーラトランジスタを微細化しても従来の場合に比べてエミッタ領域上の開孔(エミッタ開孔)119のアスペクト比を小さくすることが可能となる。これにより、エミッタ幅によって電流利得が変化するのを可及的に防止することができる。

【0121】また、本実施の形態においては、ゲート電極116を構成する層109bとベース電極113およびコレクタ電極115が同時に形成されるとともに、ゲート電極116を構成する層121bとエミッタ電極121aが同時に形成され、更にゲート電極116とエミッタ電極121aを形成するためのパターンニングが同一工程で行われるため、従来の製造方法に比べて工程数を少なくすることができる。

【0122】次に本発明の第12の実施の形態を図18および図19を参照して説明する。この実施の形態はバイポーラトランジスタとMOSトランジスタが同一基板上に形成される半導体装置の製造方法であって、その工程断面図を図18および図19に示す。

【0123】まず図18(a)に示すように、p型のシリコン基板100のバイポーラトランジスタ形成領域にn⁺型の埋め込領域101aを形成した後、エピタキシャル成長によってシリコン基板100の表面にn⁺層101bを形成する。続いてシリコン基板100のnチャネルMOSトランジスタ形成領域にpウェル101cを形成する。その後、シリコン基板100に浅いトレンチと深いトレンチを形成し、これらトレンチを絶縁膜102で埋込むことにより素子分離を行い、素子領域103a、103b、103cを形成する(図18(a)参照)。素子領域103a、103bはバイポーラトランジスタの素子領域となり、素子領域103cはMOSトランジスタの素子領域となる。続いてこれらの素子領域103a、103b、103c上にシリコン酸化膜105を形成する(図18(a)参照)。

【0124】次に基板全面に多結晶シリコン膜107を堆積する。そして、素子領域103cを覆うフォトリソグرافパターン(図示せず)を、上記多結晶シリコン膜107上に形成した後、このフォトリソグرافパターンをマ

22

スクにしてバイポーラトランジスタ形成領域上の多結晶シリコン膜107およびシリコン酸化膜105を除去する(図18(b)参照)。このときMOSトランジスタ形成領域上にのみシリコン酸化膜105および多結晶シリコン膜107が残置する。

【0125】次に上記フォトリソグرافパターンを除去した後、図18(c)に示すように、p型の不純物(例えばボロン)を導入しながらエピタキシャル成長を行うことにより、素子領域103a、103b上には単結晶シリコン層109aを形成するとともに、素子分離絶縁膜102上および多結晶シリコン膜107上には多結晶シリコン層109bを形成する。その後、素子領域103bにn型の不純物を注入し、n⁺領域にする(図18(c)参照)。

【0126】次に図18(d)に示すように基板全面に絶縁膜111を堆積した後、フォトリソグراف技術を用いて上記絶縁膜111をパターンニングすることにより、ベース層形成領域およびコレクタ電極形成領域上のみ絶縁膜111を残置する。このときベース層形成領域上の絶縁膜111にはエミッタ開孔119が形成される(図18(d)参照)。

【0127】次に図18(d)に示すように上記エミッタ開孔119を埋込むように基板全面に多結晶シリコン膜121を堆積する。続いてフォトリソグراف技術と異方性エッチングを用いて上記多結晶シリコン膜121、109b、107をパターンニングすることによりエミッタ電極121aおよびゲート電極116を形成する(図18(f)参照)。このとき、ベース層形成領域およびコレクタ電極形成領域上の絶縁膜111がマスクとなり、バイポーラトランジスタ形成領域上の多結晶シリコン膜109bもパターンニングされ、ベース層113およびコレクタ電極115も同時に形成される(図18(f)参照)。なおゲート電極116は多結晶シリコン層107、109b、121bからなる三層構造となっている。

【0128】次にMOSトランジスタ形成領域をフォトリソグراف(図示せず)でマスクした後、エミッタ電極121aにn型不純物(例えばAs)を所定のイオン注入条件でイオン注入する。そして上記フォトリソグرافを除去した後、熱処理することにより、n型不純物をエミッタ電極121aからベース層113の表面領域に拡散させ、エミッタ領域125を形成する(図19(a)参照)。その後、n型不純物(例えばAs)を所定の条件でイオン注入することによりMOSトランジスタ形成領域に低濃度のソース・ドレイン領域123を形成する(図19(a)参照)。

【0129】次に基板全面に窒化膜を堆積した後、異方性エッチングを行うことにより、ゲート電極116の側部に窒化膜からなる側壁膜135を形成する(図19(b)参照)。このときエミッタ電極121aの側部に

50

も窒化膜からなる側壁膜135が形成される(図19(b)参照)。続いてバイポーラトランジスタ形成領域をフォトレジストでマスクした後、n型不純物(例えばAs)を所定の条件でイオン注入することにより、MOSトランジスタ形成領域に高濃度のソース・ドレイン領域122を形成する(図19(b)参照)。

【0130】次に上記フォトレジストを除去した後、図19(c)に示すように異方性エッチングを行うことにより、ベース層113およびコレクタ電極115上の絶縁膜111を除去するとともに、ソース・ドレイン領域122上のシリコン酸化膜105を除去する。続いて基板全面に高融点金属、例えばTiをスパッタ法を用いて堆積した後、熱処理することにより、多結晶シリコン、または単結晶シリコンと高融点金属を反応させる。そして未反応の高融点金属を除去することにより、ベース層(ベース電極ともいう)113、コレクタ電極115、エミッタ電極121a、ゲート電極116、およびソース・ドレイン領域122上に高融点金属シリサイド層127を形成する(図19(c)参照)。

【0131】次に図19(d)に示すように基板全面に層間絶縁膜130を堆積した後、ベース電極113、コレクタ電極115、エミッタ電極121a、およびソース・ドレイン領域122などとのコンタクトを取るためのコンタクト孔を各々開孔する。そしてこれらのコンタクト孔を埋込むように金属膜を堆積し、この金属膜をパターニングすることにより、金属電極132を形成し、半導体装置を完成する(図19(d)参照)。

【0132】以上説明したように第12の実施の形態によれば、従来のバイポーラトランジスタと異なり、ベース層(ベース電極113)を覆うようなベース引出し電極86(図11参照)を形成する必要がない。このため、従来のバイポーラトランジスタで必要であったエッチングストップ膜85(図11参照)、酸化膜87(図12参照)およびスペーサ膜93(図11参照)も不要となり、バイポーラトランジスタを微細化しても従来の場合と比べてエミッタ領域上の開孔(エミッタ開孔)119のアスペクト比を小さくすることが可能となる。これにより、エミッタ幅によって電流利得が変化することを可及的に防止することができる。

【0133】また、本実施の形態においては、ゲート電極116を堆積する層109bとベース電極113およびコレクタ電極115が同時に形成されるとともに、ゲート電極116を堆積する層121bとエミッタ電極121aが同時に形成され、更にゲート電極116とエミッタ電極121aを形成するためのパターニングが同一工程で行われるため、従来の製造方法と比べて工程数を少なくすることができる。

【0134】次に本発明の第13の実施の形態を図20および図21を参照して説明する。この実施の形態はバイポーラトランジスタとMOSトランジスタが同一基板

上に形成される半導体装置の製造方法であって、その工程断面図を図20および図21に示す。

【0135】まず、第12の実施の形態の図18(a)から図18(c)に示す工程と同一の工程を行う(図20(a)、(b)、(c)参照)。

【0136】次に図20(d)に示すように基板全面に絶縁膜111を堆積し、フォトリソグラフィ技術と異方性エッチングを用いて絶縁膜111および多結晶シリコン109b、107をパターニングすることにより、ベース層113、コレクタ電極115、およびゲート電極116を形成する。このとき、ベース層113、コレクタ電極115、およびゲート電極116上には絶縁膜111が残置している。続いて熱処理することにより、ゲート電極116の側部にシリコン酸化膜117を形成する(図20(d)参照)。

【0137】次に図20(e)に示すように、フォトリソグラフィ技術と異方性エッチングを用いてベース層113上の絶縁膜111にエミッタ開孔119を形成する。

【0138】次に基板全面に多結晶シリコン膜を堆積した後、フォトリソグラフィ技術を用いて異方性エッチングを行うことによりエミッタ電極120を形成する(図20(f)参照)。このとき、ゲート電極116の側部には多結晶シリコンからなる側壁120aが形成される(図20(f)参照)。続いてバイポーラトランジスタ形成領域を覆うフォトレジストマスクを形成し、所定の条件でn型不純物(例えばAs)をイオン注入することにより、MOSトランジスタ形成領域に高濃度のソース・ドレイン領域122を形成する(図20(f)参照)。

【0139】次に等方性エッチングを用いてゲート電極116の側壁120aを除去する(図21(a)参照)。続いてn型不純物(例えばAs)を所定の条件でイオン注入することによりMOSトランジスタ形成領域に低濃度のソース・ドレイン領域123を形成する(図21(a)参照)。そして上記フォトレジストマスクを除去した後、MOSトランジスタ形成領域を覆うフォトレジストマスクを形成し、n型不純物(例えばAs)を所定の条件でエミッタ電極120にイオン注入する。続いて熱処理することによりベース層113の表面領域にn型不純物を拡散させ、エミッタ領域125を形成する(図21(a)参照)。

【0140】次に、絶縁膜を基板全面に堆積し、異方性エッチングを用いてエッチバックすることによりゲート電極116に側壁膜135を形成するとともに、ベース層113、コレクタ電極115、およびゲート電極116上の絶縁膜111と、ソース・ドレイン領域122上のシリコン酸化膜105を除去する(図21(b)参照)。このときエミッタ電極121aの側部にも側壁膜135が形成される(図21(b)参照)。

【0141】次に基板全面に高融点金属をスパッタ法を用いて堆積し、熱処理することにより多結晶シリコンまたは単結晶シリコンと高融点金属とを反応させる。そして未反応の高融点金属を除去することによりベース層（ベース電極ともいう）113、コレクタ電極115、エミッタ電極120、ゲート電極116、およびソース・ドレイン領域122上に高融点金属シリサイド層127を形成する（図21（c）参照）。

【0142】次に図21（d）に示すように基板全面に層間絶縁膜130を堆積した後、この層間絶縁膜130にコンタクト孔を開孔する。そしてこのコンタクト孔を金属膜で埋込み、パターニングすることにより金属電極132を形成する（図21（d）参照）。

【0143】以上説明したようにこの第13の実施の形態も第12の実施の形態と同様の効果を奏することは言うまでもない。

【0144】次に本発明の第14の実施の形態を図22、図23を参照して説明する。この第14の実施の形態はバイポーラトランジスタとMOSトランジスタが同一基板上に形成される半導体装置の製造方法であって、その製造工程断面図を図22、図23に示す。

【0145】まず、第11の実施の形態の図16（a）～図16（b）に示す工程と同一の工程を行う（図22（a）、図22（b）参照）。

【0146】次に基板全面に絶縁膜111を堆積し、フォトリソグラフィ技術を用いて絶縁膜111および多結晶シリコン膜109bを異方性エッチングすることにより、ベース層113およびコレクタ電極115を形成する（図22（c）参照）。

【0147】次に図22（d）に示すようにフォトリソグラフィ技術と異方性エッチングを用いてベース層113上の絶縁膜111にエミッタ開孔119を形成した後、基板全面に多結晶シリコン膜140を堆積する。

【0148】次に図22（e）に示すようにフォトリソグラフィ技術および異方性エッチングを用いて多結晶シリコン膜140をパターニングすることにより、エミッタ電極140aおよびゲート電極140bを同時に形成する。

【0149】次にバイポーラトランジスタ形成領域上をフォトレジストでマスクした後、n型不純物（例えばAs）を所定の条件でイオン注入することにより、低濃度のソース・ドレイン領域123を形成する（図22（f）参照）。

【0150】次に基板全面に絶縁膜（例えば窒化膜）を堆積した後、異方性エッチングを行うことによりゲート電極104bの側部に窒化膜からなる側壁135を形成する（図23（a）参照）。このとき、エミッタ電極104aの側部にも窒化膜からなる側壁135が形成される（図23（a）参照）。続いてn型不純物（例えばAs）を所定の注入条件でエミッタ電極104aと、MO

Sトランジスタ形成領域にイオン注入した後、熱処理を行うことにより、ベース層113にエミッタ領域125を形成するとともにMOSトランジスタ形成領域に高濃度のソース・ドレイン領域122を形成する（図23（a）参照）。

【0151】次に異方性エッチングを用いてベース層（ベース電極）113およびコレクタ電極115上の絶縁膜111と、ソース・ドレイン領域122上のシリコン酸化膜105を除去する（図23（b）参照）。続いて基板全面に高融点金属を堆積し、熱処理を行った後、未反応の高融点金属を除去することにより、ベース電極113、コレクタ電極115、エミッタ電極104a、ゲート電極104b、およびソース・ドレイン領域122上に高融点金属シリサイド層127を形成する（図23（b）参照）。

【0152】次に図23（c）に示すように基板全面に層間絶縁膜130を堆積し、この層間絶縁膜130にコンタクト孔を開孔する。そしてこのコンタクト孔を埋込むように金属膜を基板全面に堆積し、金属膜をパターニングすることにより金属電極132を形成し、半導体装置を完成する。

【0153】以上説明したようにこの第14の実施の形態によれば、従来のバイポーラトランジスタと異なり、ベース層（ベース電極113）を覆うようなベース引出し電極86（図11参照）を形成する必要がない。このため、従来のバイポーラトランジスタで必要であったエッチングストップパッド85（図11参照）、酸化膜87（図12参照）およびスペーサ膜93（図11参照）も不要となり、バイポーラトランジスタを微細化しても従来の場合に比べてエミッタ領域上の開孔（エミッタ開孔）119のアスペクト比を小さくすることが可能となる。これにより、エミッタ幅によって電流利得が変化するのを可及的に防止することができる。

【0154】また、本実施の形態においては、ゲート電極を構成する層140bとエミッタ電極140aが同時に形成されるとともに、パターニングが同一工程で行われるため、従来の製造方法に比べて工程数を少なくすることができる。

【0155】なお、上記第10乃至第14の実施の形態においては、npnトランジスタとnMOSトランジスタとを有する半導体装置の製造方法について説明したが、注入する不純物の導電型を上記実施の形態において逆にすれば、pnpトランジスタとPMOSトランジスタとを有する半導体装置を製造することができることは言うまでもない。また、MOSトランジスタとしてnMOSトランジスタおよびpMOSトランジスタを有するBiCMOS型の半導体装置に適用することも可能であり、本発明はその他種々変形して実施することができる。

【0156】

【発明の効果】以上述べたように、本発明の半導体装置およびその製造方法によれば、微細化してもエミッタ幅によって電流利得が変化するのを可及的に防止することができる。

【0157】また、本発明の半導体装置の製造方法によれば、従来の場合に比べて工程数を短縮することができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の第1の実施の形態の構成を示す断面図。

【図2】本発明による半導体装置の第2の実施の形態の構成を示す断面図。

【図3】本発明による半導体装置の第3の実施の形態の構成を示す断面図。

【図4】本発明による半導体装置の第4の実施の形態の構成を示す構成図。

【図5】本発明の第5の実施の形態の構成を示す製造工程断面図。

【図6】本発明の第6の実施の形態の構成を示す製造工程断面図。

【図7】本発明の第7の実施の形態の構成を示す製造工程断面図。

【図8】本発明の第8の実施の形態の構成を示す製造工程断面図。

【図9】本発明の第8の実施の形態の構成を示す製造工程断面図。

【図10】本発明の第9の実施の形態の構成を示す製造工程断面図。

【図11】従来のバイポーラトランジスタの構成を示す断面図。

【図12】従来のバイポーラトランジスタの製造方法の工程断面図。

【図13】従来のバイポーラトランジスタの問題点を説

*明する図。

【図14】本発明の第10の実施の形態の製造方法の工程断面図。

【図15】本発明の第10の実施の形態の製造方法の工程断面図。

【図16】本発明の第11の実施の形態の製造方法の工程断面図。

【図17】本発明の第11の実施の形態の製造方法の工程断面図。

10 【図18】本発明の第12の実施の形態の製造方法の工程断面図。

【図19】本発明の第12の実施の形態の製造方法の工程断面図。

【図20】本発明の第13の実施の形態の製造方法の工程断面図。

【図21】本発明の第13の実施の形態の製造方法の工程断面図。

【図22】本発明の第14の実施の形態の製造方法の工程断面図。

20 【図23】本発明の第14の実施の形態の製造方法の工程断面図。

【符号の説明】

2 シリコン基板

3 素子領域

4 素子分離絶縁膜

6 ベース層

6a 多結晶シリコン層

8 絶縁膜

12 エミッタ電極（多結晶シリコン）

30 13 エミッタ電極（単結晶シリコン）

14 エミッタ領域

18 層間絶縁膜

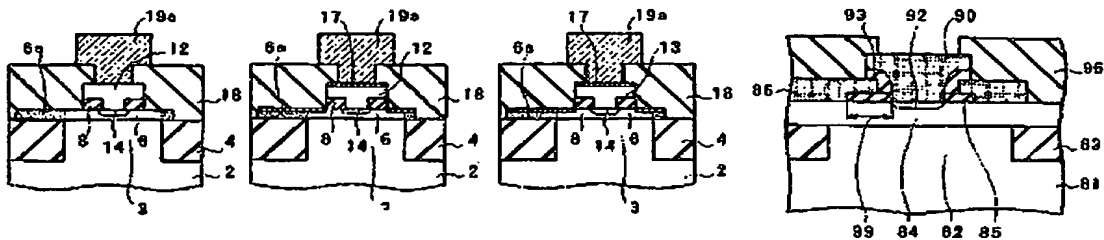
19a 金層電極

【図1】

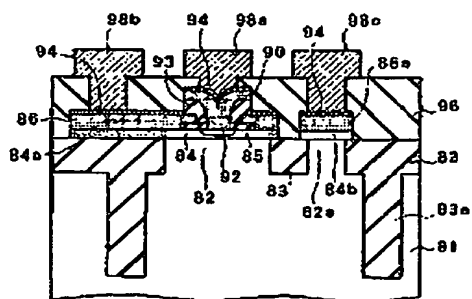
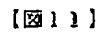
【図2】

【図3】

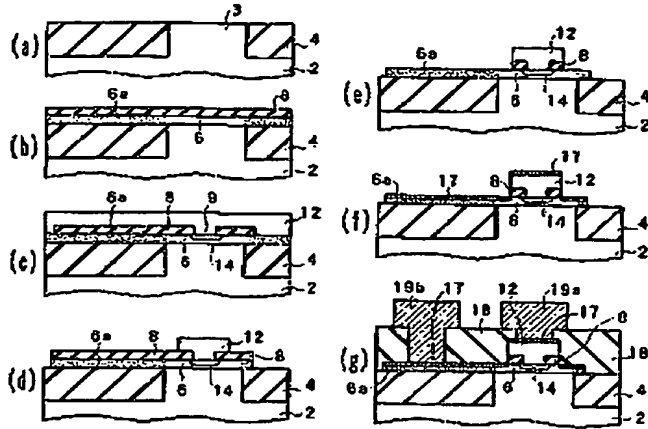
【図13】



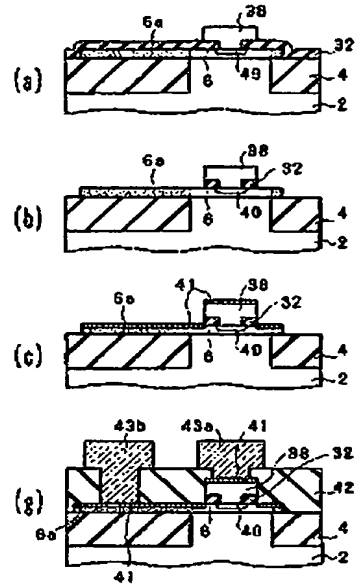
【図5】



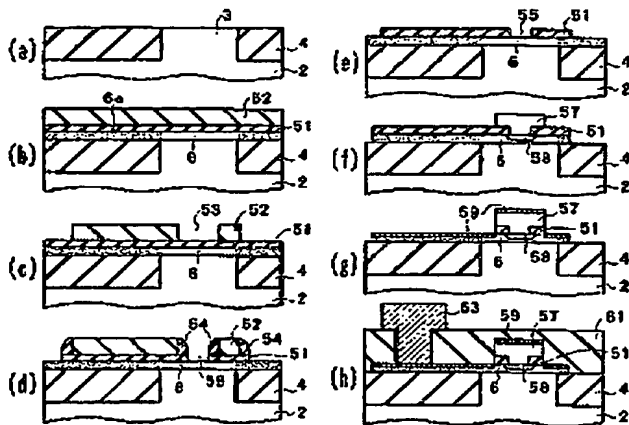
【図7】



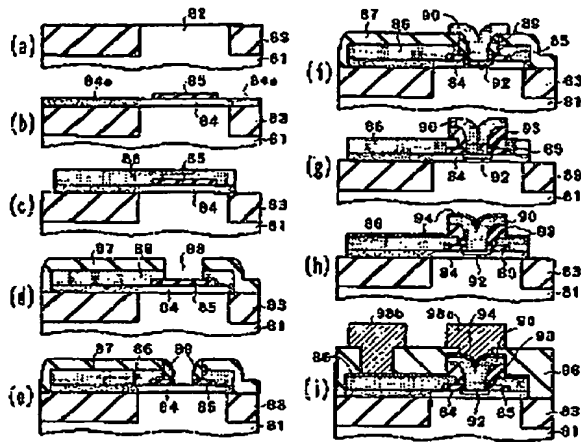
【図9】



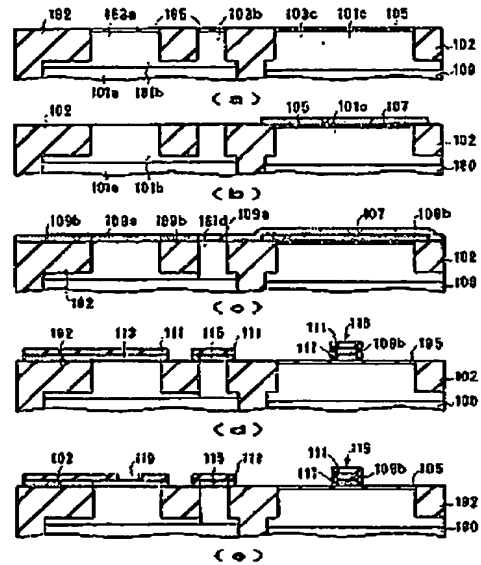
【図10】



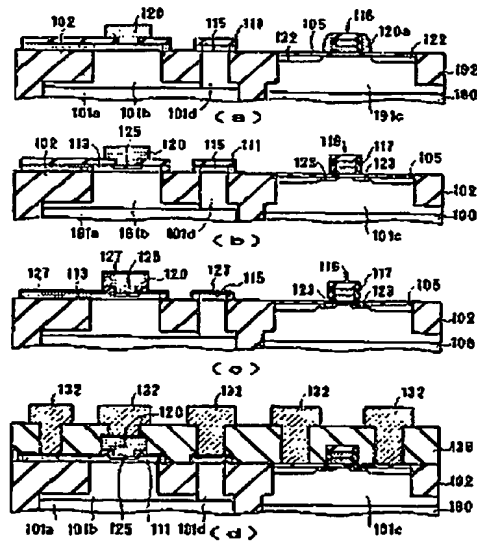
【図12】



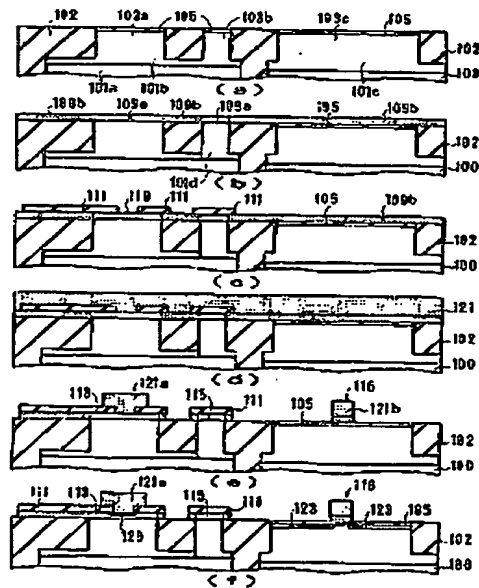
【図14】



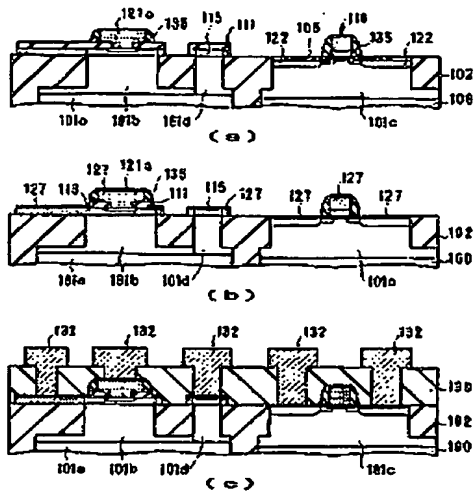
【図15】



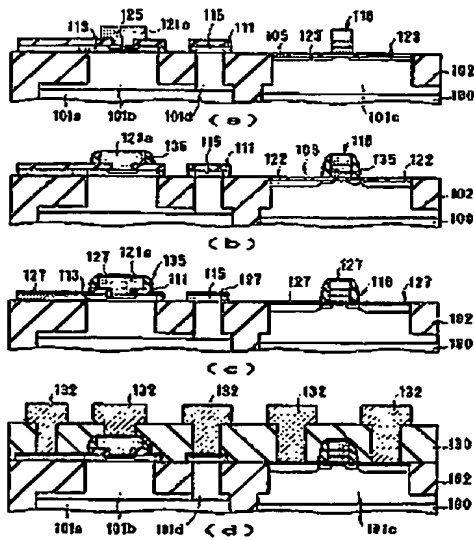
【図16】



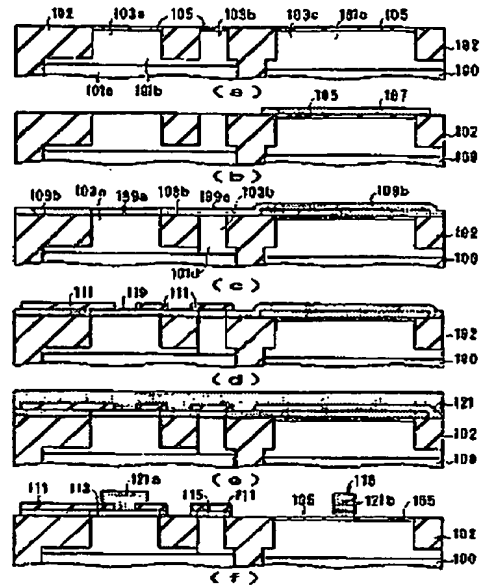
【図17】



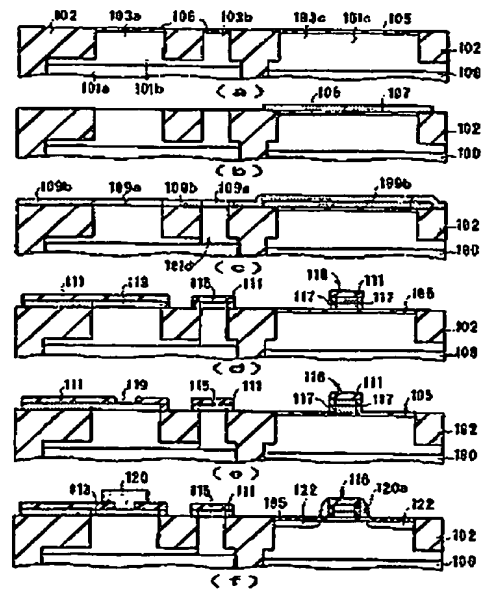
【図19】



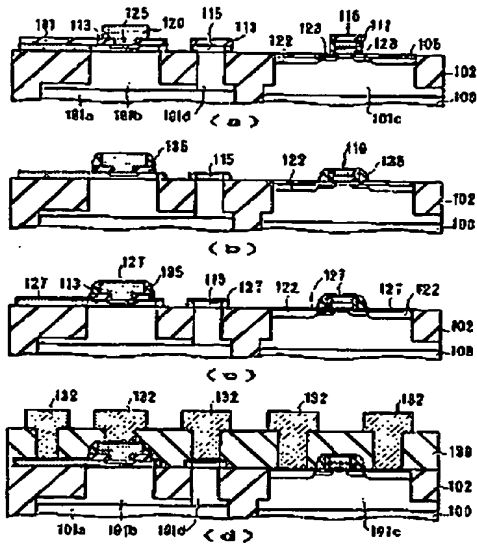
【図18】



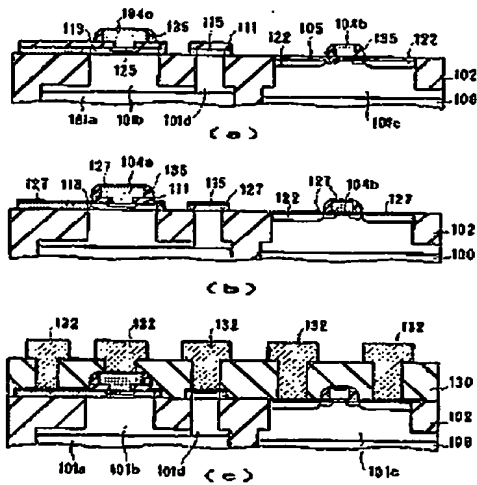
【図20】



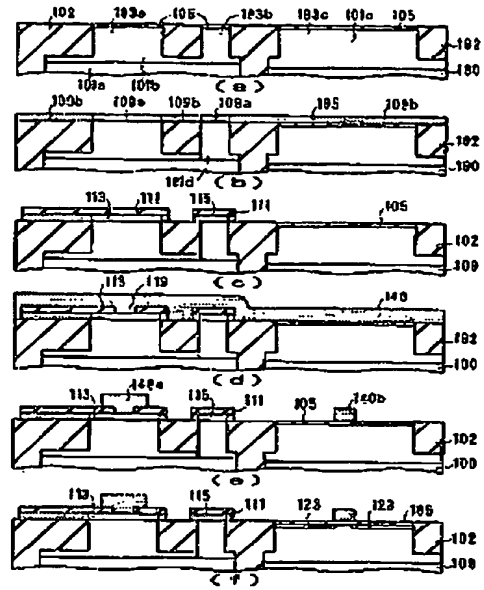
[図21]



[図23]



[図22]



フロントページの続き

(56)参考文献 特開 平1-276667(JP, A)
特開 平7-254611(JP, A)
特開 平3-150848(JP, A)
特開 平4-268732(JP, A)
特開 平8-31965(JP, A)
特開 平1-217969(JP, A)
特開 平4-283937(JP, A)
特開 平5-29328(JP, A)
特開 平4-42968(JP, A)
特開 昭61-210668(JP, A)
特開 昭63-284854(JP, A)
特開 昭62-232964(JP, A)
特開 昭63-76470(JP, A)
特開 平8-191077(JP, A)
特開 平4-226022(JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/33 - 21/331
H01L 29/68 - 29/737
H01L 21/334 - 21/336
H01L 21/8222 - 21/8228
H01L 21/8232
H01L 21/8234 - 21/8238
H01L 21/8249
H01L 27/06
H01L 27/08
H01L 29/76
H01L 29/772
H01L 29/78